



Attorney Docket No. 04329.3189
Customer Number 22,852

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
Toshihiko IINUMA) Group Art Unit: 1765
Application No.: 10/725,434) Examiner: Not Yet Assigned
Filed: December 3, 2003)
For: METHOD FOR MANUFACTURING)
A SEMICONDUCTOR DEVICE)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

CLAIM FOR PRIORITY

Under the provisions of 35 U.S.C. § 119, Applicant hereby claims the benefit of the filing date of Japanese Patent Application No. 2003-182835, filed June 26, 2003, for the above-identified U.S. patent application.

In support of this claim for priority, enclosed is one certified copy of the priority application.

Respectfully submitted,

FINNEGAN, HENDERSON, FARABOW,
GARRETT & DUNNER, L.L.P.

Dated: April 21, 2004

By: _____

Richard V. Burgujian
Reg. No. 31,744

RVB/FPD/dvg
Enclosures

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 2 6 日
Date of Application:

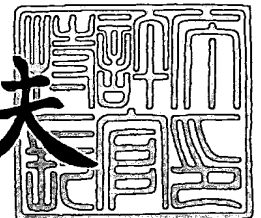
出 願 番 号 特 願 2 0 0 3 - 1 8 2 8 3 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 8 2 8 3 5]

出 願 人 株 式 会 社 東 芝
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 9 8 3 6



【書類名】 特許願

【整理番号】 A000300724

【提出日】 平成15年 6月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/30

【発明の名称】 半導体装置の製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 飯沼 俊彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 素子分離絶縁膜が離間して形成されたシリコン基板の素子領域に、ゲート絶縁膜を介して形成されたゲート電極をマスクとして用いて、砒素不純物を $1 \times 10^{20} \text{ cm}^{-3}$ 以上の濃度で導入して拡散層領域を形成する工程、

前記シリコン基板の全面に金属ニッケルを堆積する工程、

前記金属ニッケルが堆積された前記シリコン基板を 400°C 未満の第 1 の温度で熱処理して、前記素子分離絶縁膜上に金属ニッケルを残しつつ、前記拡散層領域上にニッケルダイシリサイド (Ni_2Si) を含むニッケルシリサイド膜を形成する工程、

前記素子分離絶縁膜上の未反応の金属ニッケルを除去する工程、

未反応の金属ニッケルが除去された前記シリコン基板を、 450°C 以上の第 2 の温度で熱処理して、表面に砒素化合物層を有するニッケルモノシリサイド (NiSi) 膜を形成する工程、

前記砒素化合物層をアルカリ薬液によりエッチング除去する工程、

前記シリコン基板の全面に層間絶縁膜を堆積する工程、および

前記層間絶縁膜を貫通して配線層を形成する工程
を具備すること特徴とする半導体装置の製造方法。

【請求項 2】 前記アルカリ薬液は、アンモニア水と過酸化水素水との混合溶液であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記アルカリ薬液は、コリンと過酸化水素水との混合溶液であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の温度は 250°C 以上であり、前記第 2 の温度は 550°C 以下であることを特徴とする請求項 1 ないし 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記第 1 および第 2 の熱処理は 5 分以内の時間で行なわれることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項6】 前記層間絶縁膜の堆積および前記配線層の形成は、前記第2の温度よりも低い温度で行なわれることを特徴とする請求項1ないし5のいずれか1項に記載の半導体装置の製造方法。

【請求項7】 前記層間絶縁膜の堆積および前記配線層の形成は、500℃以下の温度で行なわれることを特徴とする請求項1ないし6のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に係り、特にソース、ドレイン拡散層のコンタクト領域表面の一部にニッケルシリサイド膜を形成したMIS (Metal Insulator Semiconductor) 型FET (Field Effect Transistor) 素子の製造方法、および前記FET素子を含むLSI素子の製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の微細化が進んでいる。これに伴って、トランジスタのゲート寸法や素子分離絶縁膜幅、配線幅といった半導体基板面に水平な方向の寸法はもとより、ゲート電極の高さやソース・ドレイン・コンタクト領域の接合深さのような半導体基板面に垂直な方向の寸法も、縮小することが要求されるようになった。その一方で、ゲート電極や、ソース・ドレイン拡散層領域へ低抵抗なシリサイド膜を形成して、これらの領域における寄生抵抗を低減することも求められている。このため、ゲート電極上やソース・ドレイン・拡散層表面に低抵抗なシリサイド膜を形成する、いわゆるサリサイド (SALICIDE: Self-Aligned silicide) プロセスの適用も必要とされている。

【0003】

これまで、ゲート電極上やソース・ドレイン・拡散層表面に形成するシリサイド膜としては、チタンシリサイド (TiSi₂) 膜やコバルトシリサイド (CoSi₂) 膜が用いられてきた。しかしながら、微細化が進むにしたがって上述し

た要求を全て満たすことが困難となってきたため、これらの材料に代えてニッケルシリサイド (NiSi) 膜を用いる必要が生じてきた。

【0004】

NiSiを用いたシリサイドプロセスは、TiSi₂やCoSi₂を用いたシリサイドプロセスに比べて次の点で有利である。具体的には、(1) 細線パターン上に形成した際のシート抵抗上昇が生じ難い、(2) 拡散層へのシリサイド膜のくい込み量を小さくすることが可能である、(3) 低温での形成が可能であるために、トランジスタの不純物拡散層 (ソース・ドレイン拡散層やゲートポリシリコン電極) での不純物の不活性化が起き難い (高い活性化率を維持できる) といった特性を有している。

【0005】

ニッケルシリサイドプロセスを適用した従来のMOS型FET素子の製造は、図1に示すような工程にしたがって行なわれる。

【0006】

まず、図1 (a) に示すように、半導体基板101にシリコン酸化膜による素子分離絶縁膜102を形成する。次に、ゲート絶縁膜103を介して半導体基板101上にポリシリコンからなるゲート電極104を形成した後、不純物を注入することにより半導体基板101の表面に第1拡散領域105を形成する。

【0007】

ゲート電極104の周囲には、図1 (b) に示すように側壁絶縁膜106を形成する。さらに、不純物を注入することによって、半導体基板101には第2拡散領域107が形成され、ゲート電極104にも不純物が導入される。

【0008】

その後、図1 (c) に示すように、半導体基板101上の全面にニッケル膜108を堆積する。

【0009】

次いで、450℃～550℃で5分以内の短時間熱処理を行なう。これによって、ゲート電極104表面および第2拡散領域107表面に接したニッケル膜108は、図1 (d) に示すようにニッケルシリサイド (NiSi) 膜109に変

化する。素子分離絶縁膜 102 上や側壁絶縁膜 106 上に堆積されたニッケル膜 108 は、シリコンとの反応に関与することができず、そのまま残留する。

【0010】

未反応のニッケル膜 108 は、硫酸と過酸化水素水との混合薬液（硫酸過水）、またはアルカリ水溶液と過酸化水素水との混合薬液（アルカリ過水）で処理することによって、図 1（e）に示すように選択的に除去される。

【0011】

さらに、半導体基板 101 上の全面に層間絶縁膜 110 を形成し、フォトリソグラフィ工程および RIE（Reactive Ion Etching）等の異方性エッチングにより、コンタクトホールを形成する。最後に、図 1（f）に示すように、このコンタクトホールを介してトランジスタのソース、ドレイン、ゲート電極と配線層 111 とを接続して MOS 型 FET 素子が完成する。

【0012】

上述したようなニッケルサリサイドプロセスによって、MOS 型 FET 素子のソース・ドレイン拡散層表面やゲートポリシリコン電極表面にニッケルシリサイド（NiSi）膜を形成することができる。しかしながら、絶縁膜上に堆積された Ni 膜は、400℃以上の熱処理によって容易に凝集する。このため、図 1（d）中に矢印で示したように、Ni 膜の一部がソース・ドレイン拡散層やゲート電極の端部へ流れ込み、必要以上の厚さのニッケルシリサイド（NiSi）膜が形成される。その結果、ソース・ドレイン拡散層における接合リーク電流の増大や、ゲート絶縁膜の特性劣化を引き起こすといった問題が生じてしまう。

【0013】

シリコン酸化膜上に堆積したニッケル薄膜（膜厚～12nm）の凝集挙動を調べたところ、400℃以上の短時間熱処理（RTA 処理）によって Ni 膜の凝集が生じていることが、シート抵抗および SEM 観察により確認された。

【0014】

このような問題を回避するために、最近のニッケルサリサイドプロセスにおいては、2 段階の熱処理よりシリサイド膜を形成する方法が提案されている（例えば、非特許文献 1 参照）。図 2 を参照して、これについて説明する。

【 0 0 1 5 】

まず、図 1 で説明したような手法にしたがって、図 2 (a) に示すように素子分離絶縁膜 1 0 2 を有する半導体基板 1 0 1 上にゲート絶縁膜 1 0 3 を介してポリシリコンゲート電極 1 0 4 を形成した後、不純物を導入して第 1 拡散領域 1 0 5 を形成する。次に、図 2 (b) に示すように側壁絶縁膜 1 0 6 を形成し、不純物を導入して第 2 拡散領域 1 0 7 を形成する。さらに、図 2 (c) に示すように全面にニッケル膜 1 0 8 を堆積する。

【 0 0 1 6 】

ニッケル膜 1 0 8 が全面に形成された半導体基板 1 0 1 に対しては、2 5 0 ℃ ～ 4 0 0 ℃ で 5 分以内の熱処理を施す。これによって、ゲート電極 1 0 4 および第 2 拡散領域 1 0 7 に接したニッケル膜 1 0 8 は、図 2 (d) に示すように、ダイニッケルシリサイド (Ni_2Si) またはダイニッケルシリサイド (Ni_2Si) とニッケルモノシリサイド (NiSi) との混合物からなるニッケルリッチなニッケルシリサイド膜 1 1 2 に変化する。熱処理温度が 4 0 0 ℃ 以下であるため、素子分離絶縁膜 1 0 2 や側壁絶縁膜 1 0 6 といった絶縁膜上に堆積されたニッケル膜 1 0 8 は、凝集することなく未反応ニッケルとして残留する。

【 0 0 1 7 】

未反応のニッケル膜 1 0 8 は、硫酸過水またはアルカリ過水で処理して、図 2 (e) に示すように選択的に除去する。

【 0 0 1 8 】

さらに、4 5 0 ℃ ～ 5 5 0 ℃ で 5 分以内の熱処理を行なうことによって、ニッケルリッチなニッケルシリサイド膜 1 1 2 は、図 2 (f) に示すようにニッケルモノシリサイド (NiSi) 膜 1 0 9 に変化する。

【 0 0 1 9 】

その後、半導体基板 1 0 1 上の全面に層間絶縁膜 1 1 0 を形成し、フォトリソグラフィ工程および R I E (R e a c t i v e I o n E t c h i n g) 等の異方性エッチングにより、コンタクトホールを形成する。最後に、図 2 (g) に示すように、このコンタクトホールを介してトランジスタのソース、ドレイン、ゲート電極と配線層 1 1 1 とを接続することによって、M O S 型 F E T 素子が

完成する。

【0020】

二段階熱処理を行なうことによって、低抵抗かつ接合リークやゲート絶縁膜不良の発生しにくいニッケルシリサイド膜を形成することが可能である。しかしながら、ソース・ドレイン拡散層やゲートポリシリコン電極に高濃度の砒素不純物が含有される場合には、MOSFET素子の製造に不具合が生じて、信頼性の高い半導体装置を製造することができないという問題があった。

【0021】

【非特許文献1】

(A. Lauwers, et. Al., "Silicide for 100-nm node and beyond: Co-silicide, Co(Ni)-silicide, and Ni-silicide, Microelectronic Engineering 64, pp131-141, (2002).)

【0022】

【発明が解決しようとする課題】

本発明は、高濃度で砒素不純物を含有するソース・ドレイン拡散層における接合リーク電流の増大なしに、低抵抗なニッケルシリサイド膜を安定性よく形成可能な半導体装置を製造する方法を提供することを目的とする。

【0023】

【課題を解決するための手段】

本発明の一態様にかかる半導体装置の製造方法は、
素子分離絶縁膜が離間して形成されたシリコン基板の素子領域に、ゲート絶縁膜を介して形成されたゲート電極をマスクとして用いて、砒素不純物を $1 \times 10^{20} \text{ cm}^{-3}$ 以上の濃度で導入して拡散層領域を形成する工程、
前記シリコン基板の全面に金属ニッケルを堆積する工程、
前記金属ニッケルが堆積された前記シリコン基板を 400°C 未満の第1の温度で熱処理して、前記素子分離絶縁膜上に金属ニッケルを残しつつ、前記拡散層領域上にニッケルダイシリサイド (Ni_2Si) を含むニッケルシリサイド膜を形成する工程、
前記素子分離絶縁膜上の未反応の金属ニッケルを除去する工程、

未反応の金属ニッケルが除去された前記シリコン基板を、450℃以上の第2の温度で熱処理して、表面に砒素化合物層を有するニッケルモノシリサイド (NiSi) 膜を形成する工程、

前記砒素化合物層をアルカリ薬液によりエッチング除去する工程、

前記シリコン基板の全面に層間絶縁膜を堆積する工程、および

前記層間絶縁膜を貫通して配線層を形成する工程

を具備すること特徴とする。

【0024】

【発明の実施の形態】

本発明者らは、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上の高濃度で砒素不純物を含有する拡散層領域のシリコンと金属ニッケルとが反応してニッケルシリサイド膜が形成される場合には、得られるニッケルシリサイド膜の表面に大量の砒素原子が析出して砒素化合物層が形成されることを見出した。

【0025】

砒素不純物は、浅い拡散層を形成することを目的としてn型のMOSFETのソース・ドレイン拡散層やゲートポリシリコン電極に導入されることが多く、特にこの場合には、ニッケルシリサイド膜表面に砒素化合物層が析出する傾向が強い。また、析出した砒素化合物層に起因して、シリサイド膜上に堆積される層間絶縁膜の密着性が劣化する。さらに、コンタクトホール底部のクリーニング処理を行なう際には、析出した砒素化合物層がエッチングされて、層間絶縁膜とシリサイド膜との間に、いわゆる「鬆」を生じさせるという問題が発生する。

【0026】

ゲート電極および第2拡散領域に砒素不純物を導入したn型のMOSFET素子を例に挙げて、図3を参照しつつこうした問題について説明する。

【0027】

図3(a)には、前述の図2(a)～図2(e)に示したプロセスを経た構造を示す。図示するように、MOS型FET素子のソース・ドレイン拡散層107およびポリシリコンゲート電極104の上には、ニッケルリッチなニッケルシリサイド膜112が形成されている。なお、ソース・ドレイン拡散層107および

ポリシリコンゲート電極 104 は、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上の高濃度で砒素化合物を表面に含有する。

【0028】

450℃～550℃で5分以内の熱処理を行なうことによって、ニッケルリッチなニッケルシリサイド膜 112 は、図3 (b) に示すようにニッケルモノシリサイド (NiSi) 膜 109 に変化する。ゲート電極 104 および第2拡散領域 107 に高濃度で含有されている砒素不純物は、この熱処理によりニッケルモノシリサイド膜 109 の表面に析出して砒素化合物層 113 が形成される。

【0029】

ニッケルモノシリサイド膜 109 が形成された半導体基板 101 上には、図3 (c) に示すように層間絶縁膜 110 を堆積する。このとき、層間絶縁膜 110 による膜ストレスによって、層間絶縁膜 110 と砒素化合物層 113 との界面、あるいは砒素化合物層 113 とニッケルモノシリサイド膜 109 との界面においては、膜剥がれ 114 が発生する場合がある。

【0030】

堆積された層間絶縁膜 110 に対して、フォトリソグラフィ工程および RIE (Reactive Ion Etching) 等の異方性エッチングにより、図3 (d) に示すようにコンタクトホールを形成する。RIE直後のコンタクトホール内部には、エッチングによって生じる異物 (エッチングガスや絶縁膜、ニッケルシリサイド膜の構成元素からなる化合物) が残留する。アルカリ過水等の薬液を用いた処理を行なうことによって、こうした異物を除去することができるものの、この場合には砒素化合物層 113 もエッチング除去される。その結果、層間絶縁膜 110 とニッケルシリサイド膜 109 との界面には、図3 (e) に示すように「鬆」 115 が形成されてしまう。

【0031】

こうした状態のコンタクトホールに対して、配線用の金属膜 (TiNやW) を CVD法によって埋め込んで配線 111 を形成しようとする、図3 (e) に示すように、膜剥がれ部 114 や「鬆」 115 に金属が入り込んでしまう。なお、タンゲステン (W) CVDにおいてはWF₆ガスが用いられる。このWF₆ガスが

らフッ素 (F_2) ガスが分離し、これによってニッケルシリサイド膜や絶縁膜がエッチングされることもある。

【0032】

上述したような現象は、いずれも MOSFET 素子の製造に不具合を生じさせる原因となる。

【0033】

1 段階の熱工程によりニッケルシリサイド膜を形成するプロセスにおいても、条件の選択によっては、同様の現象が生じることがある。例えば、層間絶縁膜を堆積する際の熱工程において、ニッケルシリサイド膜上に砒素化合物層が形成される。図 1 (e) に示したように、ニッケルモノシリサイド膜 109 を形成後、層間絶縁膜を堆積する際に、シリサイド膜形成の短時間熱処理よりも高温で熱処理を行なう場合である。この場合には、いったん形成されたニッケルモノシリサイド膜中のニッケル原子やシリコン原子、砒素等の不純物原子が再び拡散する。その結果、ニッケルモノシリサイド膜 109 と層間絶縁膜 110 との界面に砒素化合物が形成される。こうして、層間絶縁膜 110 の剥がれや、コンタクトホール底部周囲における「鬆」が発生する。

【0034】

本発明者らは、上述したように層間絶縁膜の剥がれや、コンタクトホール底部周囲における「鬆」の発生メカニズムを考察して、本発明を成すに至ったものである。

【0035】

以下に、図 4 を参照して、本発明の実施形態にかかる半導体装置の製造方法を説明する。

【0036】

まず、図 4 (a) に示すように、p 型半導体基板 201 の表面内に、シリコン酸化膜により素子分離絶縁膜 202 を形成する。次に、ゲート絶縁膜 203 を介してポリシリコンゲート電極 204 を半導体基板 201 の素子領域に形成する。ゲート構造をマスクとして砒素 (As) 不純物を、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上の高濃度で注入することによって、半導体基板 201 の表面に n 型の第 1 拡散領域 20

5 が形成される。ここで、素子の寄生抵抗の増大を抑制するために、砒素は $5 \times 10^{14} \text{ cm}^{-2}$ 以上の高濃度で注入される。

【0 0 3 7】

ゲート電極 2 0 4 の周囲には、図 4 (b) に示すように側壁絶縁膜 2 0 6 を形成した後、砒素を含むドナー不純物を注入する。この際も、注入される砒素不純物の濃度は、 $2 \times 10^{15} \text{ cm}^{-2}$ 以上と高濃度である。これによって、n 型の第 2 拡散領域 2 0 7 が形成されると同時に、ゲート電極 2 0 4 にも砒素を含むドナー不純物が導入されて n 型のポリシリコン電極となる。

【0 0 3 8】

さらに、図 4 (c) に示すように、半導体基板 2 0 1 上の全面にニッケル膜 2 0 8 を堆積する。

【0 0 3 9】

ニッケル膜 2 0 8 が形成された半導体基板は、 400°C 未満の第 1 の温度で熱処理が施される。ニッケル膜 2 0 8 の凝集を抑制するために、第 1 の温度は 400°C 未満であることが要求される。ニッケルとシリコンとを十分に反応させるためには、第 1 の温度は 250°C 以上であることが好ましい。この際の時間は、熱処理温度に応じて適宜選択することができるが、一般的には、5 分以内と短時間で十分である。

【0 0 4 0】

第 1 の温度での熱処理によって、砒素不純物がドーピングされた n 型のゲート電極 2 0 4 表面および n 型の第 2 拡散領域 2 0 7 表面に接したニッケル膜 2 0 8 は、図 4 (d) に示すように、ダイニッケルシリサイド (Ni_2Si) またはダイニッケルシリサイド (Ni_2Si) とニッケルモノシリサイド (NiSi) との混合物からなるニッケルリッチなニッケルシリサイド膜 2 0 9 に変化する。

【0 0 4 1】

一方、素子分離絶縁膜 2 0 2 や側壁絶縁膜 2 0 6 上には、図示するように未反応のニッケル膜 2 0 8 が残留する。こうした未反応のニッケル膜 2 0 8 は、硫酸過水やアルカリ過水で処理して、図 4 (e) に示すように選択的に除去する。

【0 0 4 2】

未反応のニッケル膜 208 を除去した後は、450℃以上の第2の温度で熱処理を施す。第2の温度での熱処理によって、ニッケルリッチなニッケルシリサイド膜 209 は、図4 (f) に示すようにニッケルモノシリサイド (NiSi) 膜 210 に変化する。実用的な RTA 処理時間内に、形成したニッケルシリサイド膜をニッケルモノシリサイド (NiSi) 相に変化させるためには、少なくとも 450℃以上の温度が必要である。このことから、第2の温度は 450℃以上に規定される。形成された NiSi 薄膜自体が凝集してシート抵抗が上昇するのを避けるために、第2の温度は 550℃以下に制限されることが望ましい。この際の熱処理時間は、温度に応じて適宜決定することができるが、一般的には、5分以内の短時間で十分である。

【0043】

第2の熱処理を施すことによって、第2拡散領域 207 中から砒素不純物が析出して、ニッケルモノシリサイド膜 210 表面に砒素化合物層 211 が形成される。

【0044】

ニッケルモノシリサイド膜 210 表面に形成された砒素化合物層 211 は、アルカリ薬液により処理を行なうことによって、図4 (g) に示すように選択的にエッチング除去することができる。

【0045】

前述の砒素化合物層 211 が形成された半導体基板 201 を、こうしたアルカリ薬液中に浸漬することによって、砒素化合物層 211 が除去される。

【0046】

アルカリ薬液での処理後には、純水等の水を用いてアルカリ薬液を十分に除去することが望まれる。

【0047】

さらに、半導体基板 201 上の全面に層間絶縁膜 212 を形成し、フォトリソグラフィ工程および RIE (Reactive Ion Etching) 等の異方性エッチングにより、コンタクトホールを形成する。最後に、図4 (h) に示すように、このコンタクトホールを介してトランジスタのソース、ドレイン

、ゲート電極と配線層 213 とを接続することによって、MOS 型 FET 素子が完成する。

【0048】

ニッケルモノシリサイドが形成された後の工程、すなわち、層間絶縁膜 212 の堆積時における熱工程、および配線層 213 形成時における熱工程の温度は、第 2 の熱処理温度よりも低く保つことが好ましい。これによって、砒素化合物がニッケルシリサイド膜 210 表面に再び析出するのを防ぐことができ、MOS FET 素子を安定して製造することが可能となる。具体的には、層間絶縁膜 211 の堆積および配線層 213 の形成は、500℃以下で行なわれることが望まれる。

【0049】

上述したような方法で製造された MOS 型 FET 素子においては、ソース・ドレイン拡散層における接合リーク電流の増大は 5% 以内程度であった。しかも、ゲート電極におけるゲート絶縁膜不良の発生も、全く認められなかった。こうして、本実施形態の方法により、ソース・ドレイン拡散層形成に砒素不純物を用いた場合でも、安定して低抵抗なニッケルシリサイド膜を形成することができることが確認された。

【0050】

【発明の効果】

以上詳述したように、本発明によれば、高濃度で砒素不純物を含有するソース・ドレイン拡散層における接合リーク電流の増大なしに、低抵抗なニッケルシリサイド膜を安定性よく形成可能な半導体装置を製造する方法が提供される。

【0051】

本発明により、素子性能の安定的な向上が見込まれ、その工業的価値は絶大である。

【図面の簡単な説明】

【図 1】 従来の MOS 型 FET 素子の製造方法を表わす工程断面図。

【図 2】 従来の MOS 型 FET 素子の製造方法を表わす工程断面図。

【図 3】 従来の製造方法における問題点を説明する工程断面図。

【図 4】 本発明の一実施形態にかかる半導体装置の製造方法を表わす工程断面図。

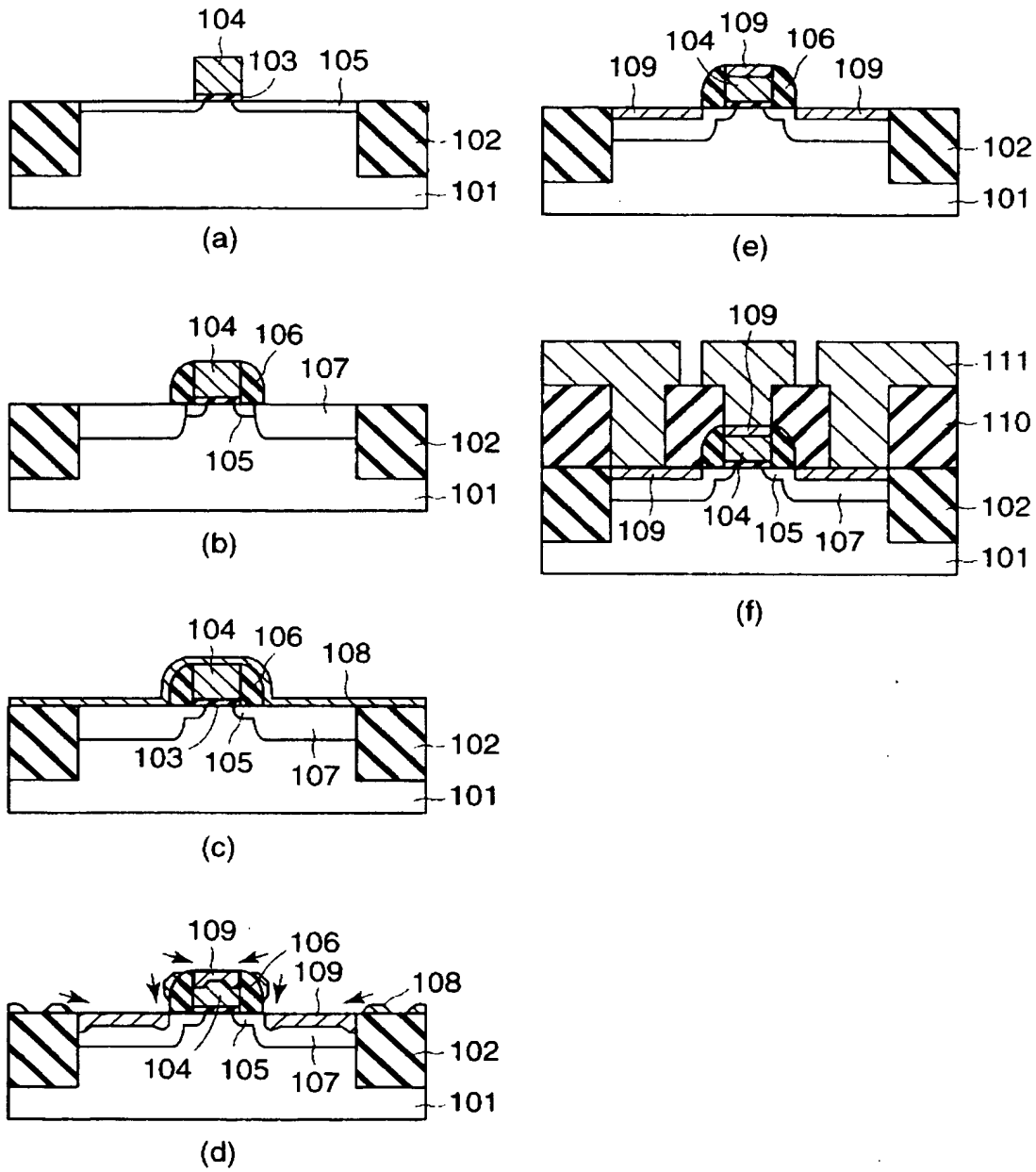
【符号の説明】

101…シリコン基板, 102…素子分離絶縁膜領域, 103…ゲート絶縁膜, 104…(多結晶シリコン)ゲート電極, 105…第1の拡散層領域(ソース・ドレイン拡散層), 106…絶縁膜側壁, 107…第2の拡散層領域(ソース・ドレイン・コンタクト領域), 108…ニッケル膜, 109…ニッケルモノシリサイド(NiSi)膜, 110…層間絶縁膜, 111…金属配線層, 112…ニッケルリッチなニッケルシリサイド膜(Ni₂SiまたはNi₂SiとNiSiとの混合膜), 113…砒素化合物膜, 114…層間絶縁膜の剥がれ, 115…コンタクトホール周囲に生じる「鬆」, 201…シリコン基板, 202…素子分離絶縁膜領域, 203…ゲート絶縁膜, 204…(多結晶シリコン)ゲート電極, 205…n型の第1の拡散層領域(ソース・ドレイン拡散層), 206…絶縁膜側壁, 207…第2のn型の拡散層領域(ソース・ドレイン・コンタクト領域), 208…ニッケル膜, 209…ニッケルリッチなニッケルシリサイド膜(Ni₂SiまたはNi₂SiとNiSiとの混合膜), 210…ニッケルモノシリサイド(NiSi)膜, 211…砒素化合物膜, 212…層間絶縁膜, 213…金属配線層。

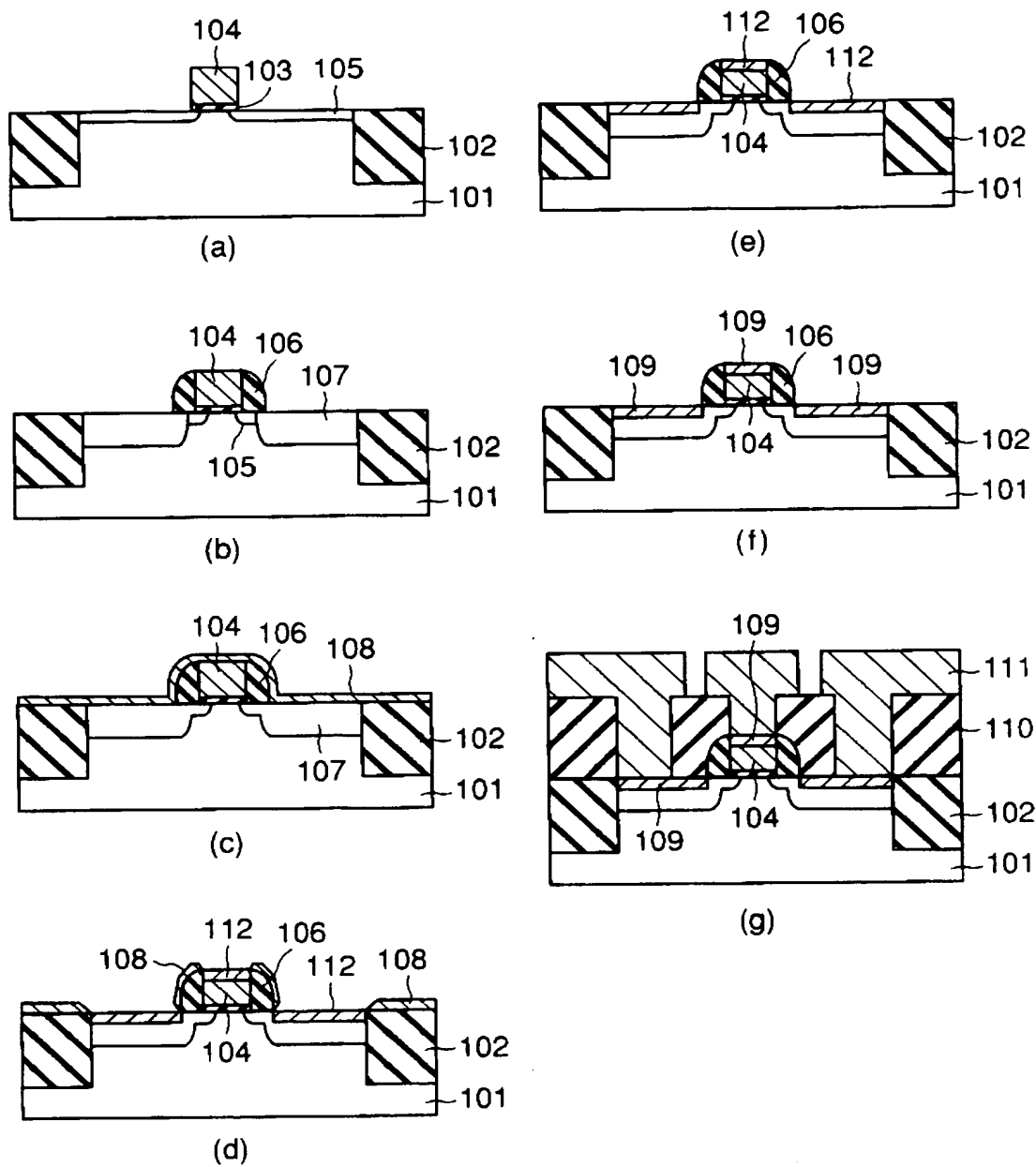
【書類名】

図面

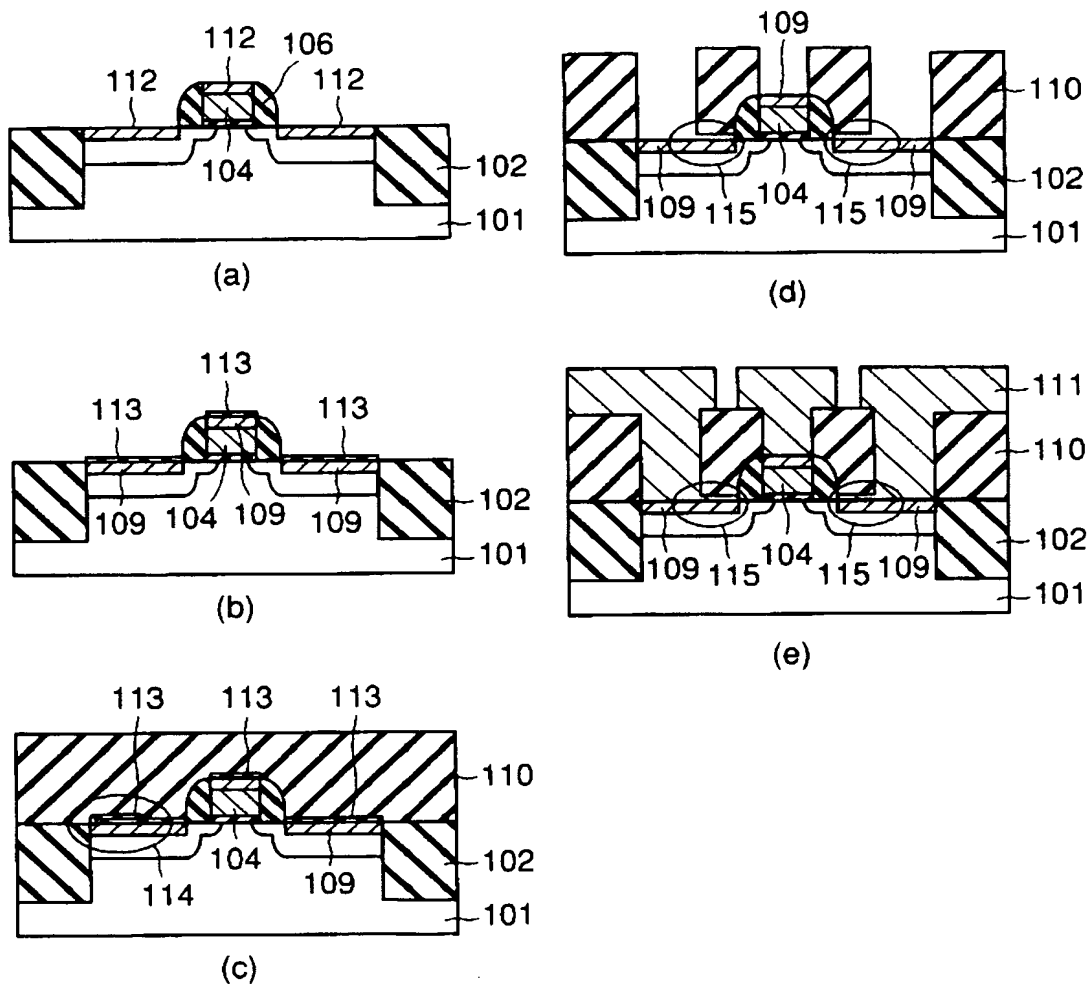
【図 1】



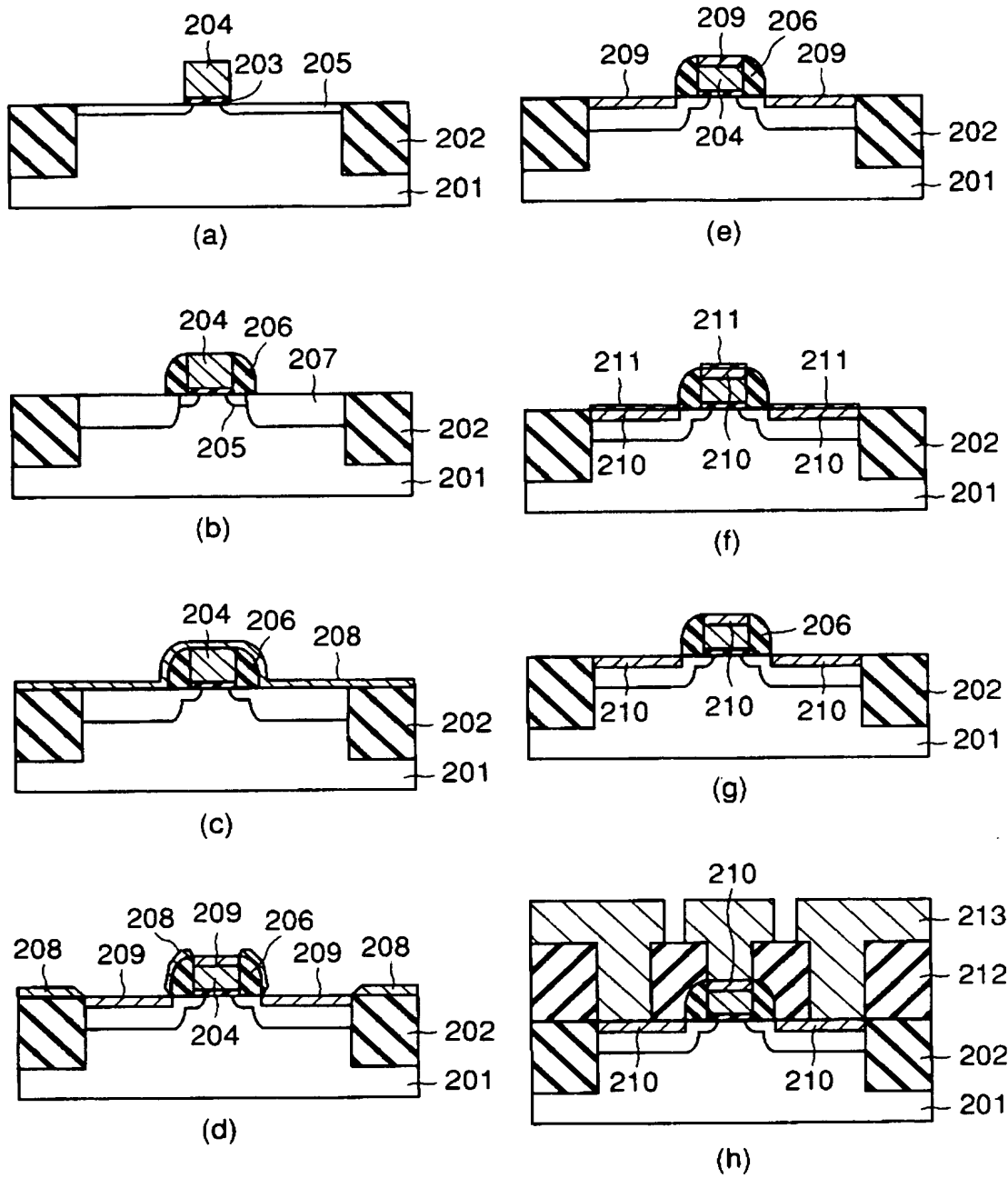
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 高濃度で砒素不純物を含有する拡散層領域における接合リーク電流の増大なく、低抵抗なニッケル珪化物膜を安定性よく形成可能な半導体装置の製造方法を提供する。

【解決手段】 素子分離絶縁膜を有するSi基板(201)の素子領域に、ゲート電極(204)をマスクとして用いて、砒素不純物を $1 \times 10^{20} \text{cm}^{-3}$ 以上の濃度で含む拡散層領域(205)を形成する工程、前記Si基板の全面に金属Ni(208)を堆積する工程、前記Si基板を400℃未満の温度で熱処理して、前記拡散層領域上に Ni_2Si を含むニッケル珪化物膜(209)を形成する工程、前記素子分離絶縁膜上の未反応の金属Niを除去する工程、前記Si基板を450℃以上の温度で熱処理して、表面に砒素化合物層(211)を有するNiSi膜を形成する工程、前記砒素化合物層をアルカリ薬液で除去する工程、及び前記Si基板全面に層間絶縁膜(212)を堆積し、この層間絶縁膜を貫通して配線層(213)を形成する工程を具備することを特徴とする。

【選択図】 図 4

特願 2003-182835

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝